

PAT-NO: JP411233781A
DOCUMENT-IDENTIFIER: JP 11233781 A
TITLE: THIN FILM TRANSISTOR
PUBN-DATE: August 27, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
KIDO, SHUSAKU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC KAGOSHIMA LTD	N/A

APPL-NO: JP10032734

APPL-DATE: February 16, 1998

INT-CL (IPC): H01L029/786, H01L021/31 , H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To make the formation of a high-performance liquid crystal display device easier by making the off-state current of an inverted stagger type thin film transistor (TFT) on an insulating substrate smaller and the on-state/off-state current ratio of the TFT larger.

SOLUTION: An inverted stagger type TFT is formed by successively laminating a gate electrode (front gate electrode) 2, a gate insulating film (first gate insulating film) 3, a semiconductor layer 4 worked in an island-like state, an ohmic contact layer 5, a source-drain electrode 7, a

passivation film 8 (second gate insulating film) and (back gate electrode) on an insulating substrate 1 and prescribed grooves 6 are formed on the surface of the semiconductor layer 4 which is in contact with the passivation film 8 or second gate insulating film. The grooves 6 are formed in strip-like shapes extended in the direction perpendicular or parallel to the direction of a channel between the source and drain of the TFT.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-233781

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 8 C

21/31

21/31

Z

29/78

29/78

3 0 1 G

3 0 1 N

3 0 1 S

審査請求 有 請求項の数 6 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平10-32734

(22)出願日 平成10年(1998) 2月16日

(71)出願人 000181284

鹿児島日本電気株式会社

鹿児島県出水市大野原町2080

(72)発明者 城戸 秀作

鹿児島県出水市大野原町2080 鹿児島日本

電気株式会社内

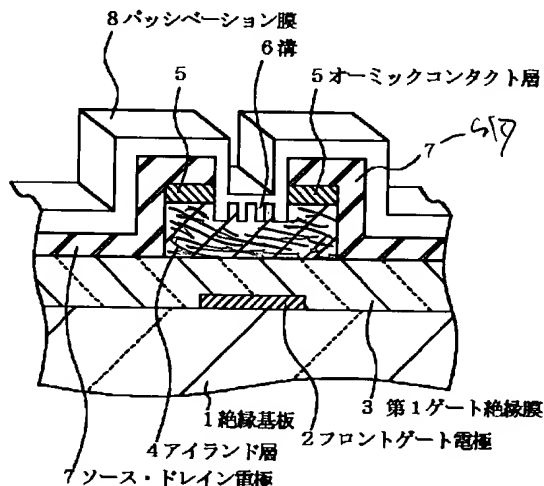
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【課題】絶縁基板上の逆スタガ型のTFTのオフ電流が小さくオン電流／オフ電流の比が大きくなり、高性能な液晶表示装置の形成が容易になるようにする。

【解決手段】絶縁基板上にゲート電極（フロントゲート電極）、ゲート絶縁膜（第1のゲート絶縁膜）、島状に加工された半導体層、オーミックコンタクト層、ソース・ドレイン電極、パッシベーション膜（第2のゲート絶縁膜）、（バックゲート電極）を順次積層して形成される逆スタガ型の薄膜トランジスタにおいて、パッシベーション膜あるいは第2のゲート絶縁膜と接する上記半導体層の表面に所定の溝が形成されている。ここで、上記溝は、TFTのソース／ドレイン間にあるチャンネル方向に対して垂直方向あるいは平行方向に延び短冊形状となるように形成される。



【特許請求の範囲】

【請求項1】 絶縁基板上にゲート電極、ゲート絶縁膜、島状に加工された半導体層、オーミックコンタクト層、ソース・ドレイン電極、パッシベーション膜を順次積層して形成される逆スタガ型の薄膜トランジスタにおいて、前記パッシベーション膜と接する前記半導体層の表面に所定の溝が形成されていることを特徴とする薄膜トランジスタ。

【請求項2】 前記溝が、薄膜トランジスタのソース／ドレイン間にあるチャネル方向に対して垂直の方向に延びるように形成されていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 絶縁基板上にフロントゲート電極、第1のゲート絶縁膜、島状に加工された半導体層、オーミックコンタクト層、ソース・ドレイン電極、第2のゲート絶縁膜、バックゲート電極を順次積層して形成される逆スタガ型の薄膜トランジスタにおいて、前記第2のゲート絶縁膜と接する前記半導体層の表面に所定の溝が形成されていることを特徴とする薄膜トランジスタ。

【請求項4】 前記溝が、薄膜トランジスタのソース／ドレイン間にあるチャネル方向に対して平行の方向に延びるように形成されていることを特徴とする請求項3記載の薄膜トランジスタ。

【請求項5】 前記溝が、前記第1のゲート絶縁膜の表面に達するように形成されていることを特徴とする請求項4記載の薄膜トランジスタ。

【請求項6】 前記溝が複数個形成され、溝の底面の幅の寸法が隣接する溝間の距離と同一になるように形成されていることを特徴とする請求項2、請求項4または請求項5記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ(TFT)に関し、特に液晶パネル等に用いられる逆スタガ型のTFTに関する。

【0002】

【従来の技術】図6は、この種の従来のTFTの斜視断面図である。ここで、図6(a)は通常の逆スタガ型のTFTであり、図6(b)は逆スタガ型のTFTのバックチャネル側にもゲート電極の形成されるダブルチャネル型のTFTである。

【0003】図6(a)に示すように、絶縁基板101上にフロントゲート電極102が形成され、フロントゲート電極102を被覆するように第1ゲート絶縁膜103が形成されている。そして、アモルファスシリコン層等の半導体層でアイランド層104が形成され、その端部にオーミックコンタクト層105が形成されている。ここで、オーミックコンタクト層105はリン不純物がドーパされたn型アモルファスシリコン層で構成される。

【0004】そして、オーミックコンタクト層105に電気接続するソース・ドレイン電極106が配設されている。さらに、全体を被覆するようにパッシベーション膜107が形成されている。ここで、パッシベーション膜107には、通常、プラズマ窒化シリコン膜が使用される。

【0005】これに対して、図6(b)に示すダブルチャネル型のTFTでは、図6(a)と同様に、絶縁基板101上にフロントゲート電極102が形成され、フロントゲート電極102を被覆するように第1ゲート絶縁膜103が形成されている。そして、アイランド層104が形成され、その端部にオーミックコンタクト層105が形成され、オーミックコンタクト層105に電気接続するソース・ドレイン電極が配設されている。さらに、全体を被覆するように第2ゲート絶縁膜108が形成され、上面にバックゲート電極109が形成されている。

【0006】このような構造において、第1ゲート絶縁膜103および第2ゲート絶縁膜108には、プラズマ窒化シリコン膜が使用される。そして、図6(b)に示すように、アイランド層104の上部表面にも平面上のバックチャネル領域110が形成できるようになる。

【0007】

【発明が解決しようとする課題】以上に説明した従来の技術のうち、図6(a)で説明した通常の逆スタガ型のTFTでは、アイランド層104とパッシベーション膜107との界面でアイランド層104のバンド・ベンディングが生じ易くなる。このために、TFTのオフ状態(非動作状態)でのソース・ドレイン間のリーク電流が増加するようになる。すなわち、オフ電流が増加してしまう。このような、バンド・ベンディングは、パッシベーション膜107中に正イオン等が残留したり、正の電荷トラップが存在することで起こり易くなっている。そこで、特開平6-120505号公報には、このようなバンド・ベンディングを抑制すべくこの領域にp形不純物を導入する方法が提案されている。しかし、この場合には、この不純物濃度の制御が難しくなってくる。これは、アイランド層が薄膜になるとTFTのしきい値制御が難しくなるからである。

【0008】また、図6(b)で説明したダブルチャネル型のTFTでは、TFTのオフ状態でバックゲート電極109に負電圧が印加される。このために、上記のようなバンド・ベンディングによるオフ電流の増加は抑制される。

【0009】このダブルチャネル型のTFTでは、TFTのオン状態(動作状態)でバックゲート電極109に正電圧が印加される。そして、オン電流が増大する。しかし、この場合に、TFTの特性として重要なオン電流／オフ電流の比は、上記通常の逆スタガ型のTFTの2倍程度であり液晶パネルに適用する場合には不十分であ

る。

【0010】このために、このTFTを液晶パネルに適用する場合に、TFTのチャネル幅を大きくすることも必要になり、照射光の透過しない領域が増大するようになる。すなわち、液晶パネルの開口率が小さくなる。なぜなら、TFTのチャネル領域上であってゲート電極のある領域では照射光は透過しないからである。

【0011】本発明の目的は、上記のような問題点を解決し、TFTのオフ電流が小さくオン電流/オフ電流の比が高くなり、液晶パネルの開口率が大きくなる薄膜トランジスタを提供することである。

【0012】

【課題を解決するための手段】このために本発明のTFTでは、絶縁基板上にゲート電極、ゲート絶縁膜、島状に加工された半導体層、オーミックコンタクト層、ソース・ドレイン電極、パッシベーション膜を順次積層して形成される逆スタガ型の薄膜トランジスタにおいて、前記パッシベーション膜と接する前記半導体層の表面に所定の溝が形成されている。ここで、前記溝は、薄膜トランジスタのソース/ドレイン間にあるチャネル方向に対して垂直の方向に延び短冊形状となるように形成される。

【0013】あるいは、本発明のTFTでは、絶縁基板上にフロントゲート電極、第1のゲート絶縁膜、島状に加工された半導体層、オーミックコンタクト層、ソース・ドレイン電極、第2のゲート絶縁膜、バックゲート電極を順次積層して形成される逆スタガ型の薄膜トランジスタにおいて、前記第2のゲート絶縁膜と接する前記半導体層の表面に所定の溝が形成されている。

【0014】ここで、前記溝は、薄膜トランジスタのソース/ドレイン間にあるチャネル方向に対して平行の方向に延び短冊形状となるように形成される。そして、前記溝は、前記第1のゲート絶縁膜の表面に達するように形成される。

【0015】あるいは、上記のような溝は複数個形成され、溝の底面の幅の寸法が隣接する溝間の距離と同一になるように形成される。

【0016】このように、逆スタガ型のTFTにおいて、半導体層のパッシベーション膜側の表面にチャネル方向に対して垂直方向に溝が形成されるために、TFTの実効チャネル長が長くなり、オフ電流が低減する。

【0017】また、逆スタガ型でダブルチャネル型のTFTにおいて、半導体層の第2のゲート絶縁膜側の表面にチャネル方向に対して平行方向に溝が形成されるために、実効チャネル幅が大きくなり、オン電流が増大する。

【0018】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1と図2に基づいて説明する。ここで、図1は本発明の逆スタガ型のTFTの斜視断面図である。そして、

図2はTFTの特性を従来のそれと比較して示した図である。本発明の特徴は、アイランド層のバックチャネル側に凹凸形状の溝が形成される点にある。

【0019】図1に示すように、図6(a)で説明したのと同様に、膜厚0.7mmのガラス基板である絶縁基板1上にフロントゲート電極2が形成されている。ここで、フロントゲート電極2は膜厚が100nm程度のクロム(Cr)で形成される。そして、フロントゲート電極2を被覆するように第1ゲート絶縁膜3が形成されている。ここで、第1ゲート絶縁膜3はプラズマCVD法で形成されるプラズマ窒化シリコン膜である。

【0020】そして、アイランド層4が形成され、その端部にオーミックコンタクト層5が形成されている。ここで、アイランド層4は膜厚が500nm程度のアモルファスシリコン層で構成され、オーミックコンタクト層5はリン不純物がドーパされた膜厚50nm程度のn型アモルファスシリコン層で構成される。

【0021】そして、図1に示すように、バックチャネルとなる領域に溝6が形成されている。ここで、溝6はチャネル方向に対して直交する方向に延び、互いに並行する複数の溝が形成される。なお、この溝の深さは、アイランド層4の膜厚値より小さくなるように設定される。例えば、溝6の深さが350nmに、溝底面の幅が350nmに、また、溝間の離間距離が350nmになるように設定されるとよい。

【0022】そして、オーミックコンタクト層5に電気接続するソース・ドレイン電極7が配設されている。ここで、ソース・ドレイン電極7はCrで形成される。さらに、全体を被覆するようにパッシベーション膜8が形成されている。ここで、パッシベーション膜8は、通常、プラズマCVD法で堆積される膜厚300nmのプラズマ窒化シリコン膜である。

【0023】次に、図2に基づいて本発明の第1の実施の形態の効果について説明する。図2は、TFTのソース/ドレイン間電流とゲート電圧との関係を示すグラフである。図2で判るように、本発明の場合には、ゲート電極に負電圧が印加されときのソース・ドレイン間電流すなわちオフ電流は 10^{-14} A程度になる。これに対して、従来の技術の場合には、このオフ電流は 10^{-13} A程度である。このように、本発明によりTFTのオフ電流は1桁程度減少するようになる。一方、ゲート電極に正電圧が印加されときの電流すなわちオン電流は、本発明の場合と従来の技術の場合ではほぼ同じである。なお、この比較において、TFTは、本発明でバックチャネル側に溝を形成する以外は全て従来の技術と同一の条件で形成されている。

【0024】次に、本発明の第2の実施の形態を図3と図4に基づいて説明する。ここで、図3は本発明のダブルチャネル型のTFTの斜視断面図である。図3においては、バックチャネルとなる領域に形成される溝構造を

明瞭に示すために、このチャンネル上のゲート絶縁膜とゲート電極が剥がれた状態で示されている。そして、図4はこのTFTの特性を従来のそれと比較して示した図である。

【0025】図3に示すように、図1で説明したのと同様に、絶縁基板1上にフロントゲート電極2が形成されている。そして、フロントゲート電極2を被覆するように第1ゲート絶縁膜3が形成されている。ここで、第1ゲート絶縁膜3は膜厚100nmのプラズマ窒化シリコン膜で構成される。

【0026】そして、アイランド層4が形成され、その端部にオーミックコンタクト層5が形成されている。ここで、アイランド層は膜厚が500nm程度のアモルファスシリコン層で構成され、オーミックコンタクト層5はリン不純物がドーパされた膜厚50nm程度のn型アモルファスシリコン層で構成される。

【0027】そして、図3に示すように、バックチャンネルとなる領域に溝6aが形成されている。ここで、溝6aはチャンネル方向に対して平行な方向に延び、互いに並行する複数の溝が形成される。なお、この溝の深さは、アイランド層4の膜厚値より小さくなるように設定される。例えば、溝6aの深さが300nmに、溝底面の幅が300nmに、また、溝間の離間距離が300nmになるように設定されるとよい。このように、溝6aののびる方向は、第1の実施の形態とは逆に、TFTのチャンネル電流に沿う方向に設けられる。

【0028】さらに、第1の実施の形態と同様に、オーミックコンタクト層5に電気接続するソース・ドレイン電極7が配設されている。そして、全体を被覆するように第2ゲート絶縁膜9が形成され、上面にバックゲート電極10が形成されている。ここで、第2ゲート絶縁膜9は膜厚100nmのプラズマ窒化シリコン膜で構成される。また、バックゲート電極10は膜厚100nmのCrで構成される。

【0029】次に、図4に基づいて本発明の第2の実施の形態の効果について説明する。図4は、TFTのソース/ドレイン間電流とゲート電圧との関係を示すグラフである。図4で判るように、本発明の場合には、ゲート電極に正電圧が印加されるときソース・ドレイン間電流すなわちオン電流は 3×10^{-6} A程度になる。これに対して、従来の技術の場合には、このオン電流は 3×10^{-7} A程度である。このように、本発明によりTFTのオン電流は1桁程度増加するようになる。一方、ゲート電極に負電圧が印加されるとき電流すなわちオフ電流は、本発明の場合と従来の技術の場合でほぼ同じであり、その値は 1.5×10^{-14} Aである。この比較においては、TFTは、本発明でバックチャンネル側に溝を形成する以外は全て従来のダブルチャンネル型のTFTと同一の条件で形成されている。

【0030】このようにして、第2の実施の形態でのダ

ブルチャンネル型のTFTのオン電流/オフ電流比は、従来の通常のTFTのその20倍程度になり、TFTの性能が大幅に向上するようになる。

【0031】また、この第2の実施の形態では、TFTのチャンネル幅を小さくできるようになる。このために、TFTの寸法が小さくなりその占める面積が縮小される。そして、液晶パネルでの開口率が大きくできるようになる。

【0032】次に、本発明の第3の実施の形態を図5に基づいて説明する。ここで、図5は本発明のダブルチャンネル型のTFTの斜視断面図である。この場合も、バックチャンネルとなる領域に形成される溝構造を明瞭に示すために、このチャンネル上のゲート絶縁膜とゲート電極が剥がれた状態で示されている。

【0033】図5に示すように、図1で説明したのと同様に、絶縁基板1上にフロントゲート電極2が形成されている。そして、フロントゲート電極2を被覆するように第1ゲート絶縁膜3が形成されている。ここで、第1ゲート絶縁膜3は膜厚100nmのプラズマ窒化シリコン膜で構成される。

【0034】そして、アイランド層4が形成され、その端部にオーミックコンタクト層5が形成されている。ここで、アイランド層は膜厚が300nm程度のアモルファスシリコン膜で構成され、オーミックコンタクト層5はリン不純物がドーパされた膜厚20nm程度のn型アモルファスシリコン層で構成される。

【0035】そして、図5に示すように、バックチャンネルとなる領域に溝6bが形成されている。ここで、溝6bはチャンネル方向に対して平行な方向に延び、互いに並行する複数の溝が形成される。なお、この溝の深さは、アイランド層4の膜厚値と同じになるように設定される。溝6bの深さは300nmに、溝底面の幅は300nmに、また、溝間の離間距離は300nmになるように設定される。

【0036】あとは、第2の実施の形態と同様に、オーミックコンタクト層5に電気接続するソース・ドレイン電極が配設され、全体を被覆するように第2ゲート絶縁膜が形成され、上面にバックゲート電極が形成される。

【0037】第2の実施の形態では、溝6aの形成において、アイランド層4のドライエッチングで途中でエッチングを停止する高度な技術が必須である。しかし、アイランド層4が薄膜化されてくると、その制御が非常に難しくなる。これに対して、第3の実施の形態では、バックチャンネル部の溝6bの形成でアイランド層4は第1ゲート絶縁膜3に達するまでエッチングされる。このために、溝6b形成で高いエッチング制御は必要とならず、TFTの生産性が向上するようになる。

【0038】

【発明の効果】以上に説明したように本発明のTFTでは、逆スタガ型のTFTにおいて、バックチャンネル側と

なるアイランド層（半導体層）表面に所定の溝が形成される。例えば、この溝は、TFTのソース/ドレイン間にあるチャンネル方向に対して垂直の方向に延びるように形成される。

【0039】あるいは、逆スタガ型でありダブルチャネル型のTFTでは、第2のゲート絶縁膜下のバックチャネル側であるアイランド層表面に所定の溝が形成される。例えば、この溝は、TFTのソース/ドレイン間にあるチャンネル方向に対して平行方向に延びるように形成される。

【0040】このために、前者では、先述したアイランド層表面のバンド・ベンディングによるTFTのオフ電流が低減するようになる。

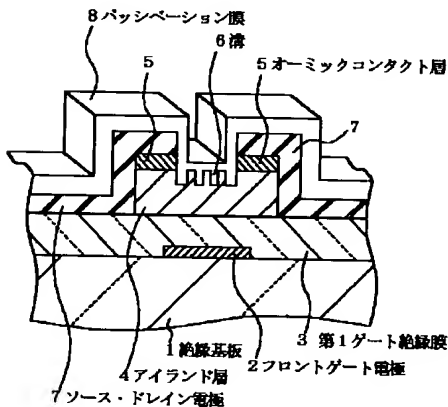
【0041】更に、後者では、TFTの実効チャネル幅が増加するために、TFTのオン電流/オフ電流の比が非常に高くなり液晶パネルの特性が向上するようになる。また、この場合には、TFTの寸法が小さくなるようにできるために、液晶パネルの開口率が大きくなる。

【0042】そして、本発明のTFTの液晶表示装置への適用により、この液晶表示装置の性能が大幅に向上するようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するためのT

【図1】



F Tの斜視断面図である。

【図2】上記実施の形態での効果を説明するためのTFT特性のグラフである。

【図3】本発明の第2の実施の形態を説明するためのTFTの斜視断面図である。

【図4】上記実施の形態での効果を説明するためのTFT特性のグラフである。

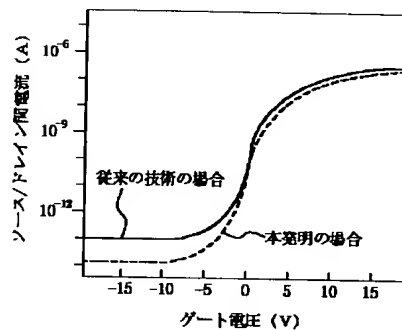
【図5】本発明の第3の実施の形態を説明するためのTFTの斜視断面図である。

10 【図6】従来の技術を説明するためのTFTの斜視断面図である。

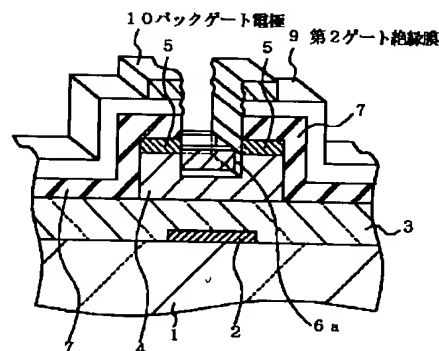
【符号の説明】

- 1, 101 絶縁基板
- 2, 102 フロントゲート電極
- 3, 103 第1ゲート絶縁膜
- 4, 104 アイランド層
- 5, 105 オーミックコンタクト層
- 6, 6a, 6b 溝
- 7, 106 ソース・ドレイン電極
- 8, 107 パッシベーション膜
- 9, 108 第2ゲート絶縁膜
- 10, 109 バックゲート電極

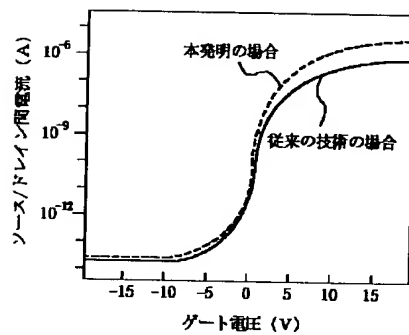
【図2】



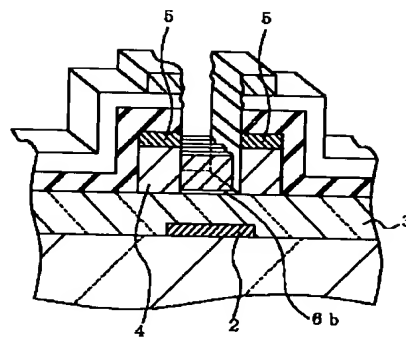
【図3】



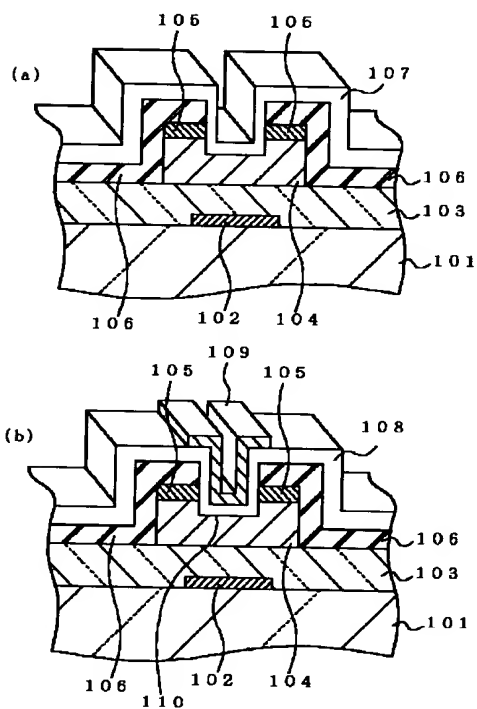
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁶

識別記号

FI
H01L 29/78

616S
617N
619A